

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-293557

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

G09G 3/28

(21)Application number : 09-104064

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.04.1997

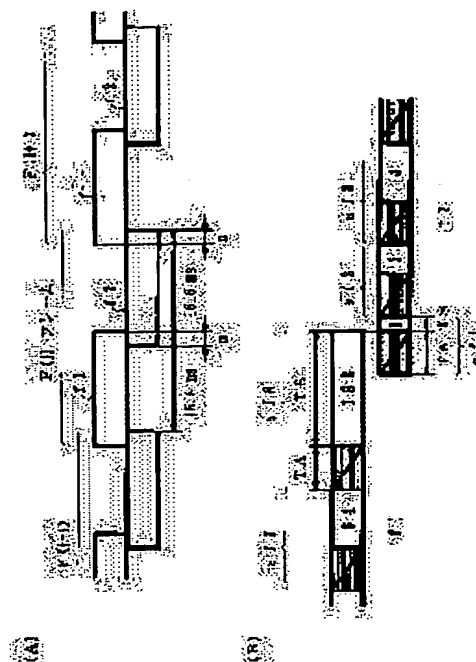
(72)Inventor : KATAYAMA TAKASHI
GUEN TAN NYAN
NAKAHARA HIROYUKI

(54) DRIVING METHOD FOR PDP

(57)Abstract:

PROBLEM TO BE SOLVED: To make reproduced image display high definition and stable by allocating a mutually different line group to each field belonging to each frame and performing the addressing of a succeeding field in parallel with sustainment of each field.

SOLUTION: The respective time sequential frames F are divided into an odd field f1 and an even field f2. At the time of displaying a screen of an interlace form performing addressing for setting display contents for every field f1, f2 and sustainment for ensuring luminance in order, a mutually different line group is allocated to each field f1, f2 belonging to each frame F and addressing of the succeeding fields f2, f1 is performed in parallel with the sustainment of the respective fields f1, f2. In this method, when an image scanned by an interlace form is reproduced, the display is made to be high definition and stable.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-293557

(43)公開日 平成10年(1998)11月4日

(51)Int.Cl.⁶

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

K

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21)出願番号 特願平9-104064

(22)出願日 平成9年(1997)4月22日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 片山 貴志

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 ゲン タン ニヤン

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 中原 裕之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 久保 幸雄

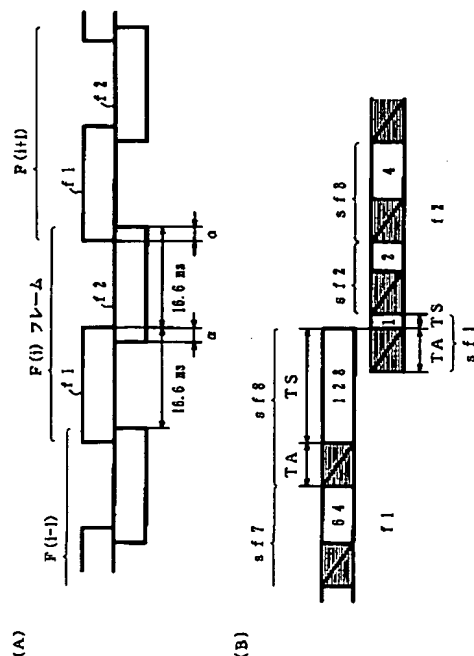
(54)【発明の名称】 PDPの駆動方法

(57)【要約】

【課題】インタレース形式で走査された画像を再生する場合における表示の高精細化と安定化を図ることを目的とする。

【解決手段】マトリクス表示のライン毎に一对のサステイン電極が設けられたPDPによる画面表示であって、時系列のフレームFのそれぞれを複数のフィールドf 1, f 2に分割し、各フィールドf 1, f 2毎にアドレッシングとサステインとを順に行うインタレース表示に際して、各フレームFに属する各フィールドf 1, f 2に対して互いに異なるライン群を割り当て、各フィールドf 1, f 2のサステインTSと並行して後続のフィールドf 2, f 1のアドレッシングを行うようにする。

フィールドの表示タイミングを示す図



【特許請求の範囲】

【請求項1】マトリクス表示のライン毎に一对のサステイン電極が設けられたPDPの駆動方法であって、時系列のフレームのそれぞれを複数のフィールドに分割し、前記各フィールド毎に表示内容を設定するアドレッシングと輝度を確保するサステインとを順に行うインタレース形式の画面表示に際して、前記各フレームに属する前記各フィールドに対して互いに異なるライン群を割り当て、前記各フィールドのサステインと並行して後続のフィールドのアドレッシングを行うことを特徴とするPDPの駆動方法。

【請求項2】前記各フィールドを輝度の重みの異なる複数のサブフィールドに分割し、サブフィールド単位で表示素子の発光の有無を選択して階調再現を行う場合に、前記各フィールドのサステインと並行して後続のフィールドにおける先頭のサブフィールドのアドレッシングを行う請求項1記載のPDPの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス表示のライン毎に電極対が設けられたPDP（プラズマディスプレイパネル）の駆動方法に関する。

【0002】PDPは、カラー画面の実用化を機にテレビジョン映像やコンピュータのモニターなどの用途に広く用いられるようになってきた。そして、ハイビジョン用の大画面フラット型デバイスとして注目されている。

【0003】

【従来の技術】カラー表示デバイスとして、3電極構造のAC型PDPが商品化されている。これは、マトリクス表示のライン（行）毎に一对のサステイン電極が配置され、列毎にアドレス電極が配置されたものである。合計本数 $2n$ （ n はライン数）のサステイン電極は、各ラインのサステイン電極間で基板面に沿った“面放電”が生じるように同一基板面に配列されている。表示に際しては、表示内容に応じた帯電分布をライン順次に形成するアドレッシングと、周期的に放電を生じさせて輝度を確保するサステインとが順に行われる。すなわち、アドレッシングのための1画面分のライン走査が終わるのを待ってサステインが開始される。このような駆動方法は、走査を終えたラインから順にサステインを開始する方法よりも信頼性が高く、カラー表示を含む多階調表示に好適である。

【0004】PDPの階調表示方法としては、1フレームを放電回数の重み付けをした複数のサブフレームで構成し、サブフレーム毎にアドレッシングを行って1フレームにおける各セル（表示素子）の総放電回数を設定する方法が広く知られている。例えば6個のサブフレームを設け、それらのサステイン期間の長さの比を1:2:4:8:16:32とする。すなわち、各サブフレームに対して公比が「2」の等比数列を用いたいわゆる“バ

イナリーの重み付け”を行う。これにより、階調レベルが「0」～「63」の64階調の表示が可能となる。この表示方法は、テレビジョンのようにインタレース形式で走査された画像を再生する場合にも同様に適用される。ただし、インタレース形式の場合には、フレームを構成する複数のフィールド（例えば奇数フィールド及び偶数フィールド）のそれぞれが、重みの異なる複数のサブフィールドに分割される。

【0005】カラー表示は、階調表示の一種であって3原色の輝度比を適切に設定することによって実現される。1原色当たり64階調であれば、表示の発色数は 6×3^3 となる。

【0006】

【発明が解決しようとする課題】解像度の向上やハイビジョン放送への適合を図るためにライン数を増やすと、アドレッシングの所要時間が増大する。通常の画面表示ではフレーム周期が規定されているので、アドレッシングの長期化によってフレーム分割数の減少が余儀なくされ、階調再現性（カラー表示では色再現性）が低下してしまうという問題があった。アドレッシングのパルス幅を短くすると、放電ミスの発生確率が増大し、表示が乱れ易くなる。

【0007】本発明は、インタレース形式で走査された画像を再生する場合における表示の高精細化と安定化を図ることを目的としている。

【0008】

【課題を解決するための手段】フレームを構成する k （ $k \geq 2$ ）個のフィールドに対して互いに異なる k 個のライン群を1個ずつ割り当てる。例えば、最も簡単であり一般的でもある $k=2$ の場合、第1のフィールドに奇数番目のラインを割り当て、第2のフィールドに偶数番目のラインを割り当てる。そして、各フィールドに対応したサステイン期間と、当該フィールドの後続のフィールド（次のフィールド）のアドレッシング期間とを重複させる。ここで、先行のフィールドが i 番目のフレームの最終フィールドである場合には、後続のフィールドは i 番目に続く（ $i+1$ ）番目のフレームの先頭フィールドである。

【0009】アドレッシング期間とサステイン期間とを重複させることにより、重複分だけ各フィールドの表示期間が実質的に延びる。つまり、各フィールドにおいてアドレッシングに割り当て可能な時間が長くなる。したがって、ライン数を増やして高精細化を図ることができる。また、階調表示のためにフィールドを複数のサブフィールドに分割する場合には、その分割数を増やして階調性を高めることができる。

【0010】フィールドを分割する場合においては、先行のフィールドにおける最終のサブフィールドのサステイン期間と、後続のフィールドにおける先頭のサブフィールドのアドレッシング期間とを重複させるのが、タイ

ミング設定の容易化の上で望ましい。ただし、それに限定されず、先行のフィールドにおける任意の1個又は複数個のサブフィールドのサステイン期間と、後続のフィールドにおける先頭のサブフィールドのアドレッシング期間とを重複させることも可能である。つまり、必ずしもアドレッシングに引き続いてサステインを開始する必要はなく、アドレッシングで形成された帯電分布が保たれている期間内であれば、アドレッシングから所定時間が経過した時点でサステインを開始してもよい。対象ライン群の一部のアドレッシングと残りのアドレッシングとを時間的に離すこともできる。

【0011】請求項1の発明の方法は、マトリクス表示のライン毎に一对のサステイン電極が設けられたPDPの駆動方法であって、時系列のフレームのそれぞれを複数のフィールドに分割し、前記各フィールド毎に表示内容を設定するアドレッシングと輝度を確保するサステインとを順に行うインタレース形式の画面表示に際して、前記各フレームに属する前記各フィールドに対して互いに異なるライン群を割り当て、前記各フィールドのサステインと並行して後続のフィールドのアドレッシングを行うものである。

【0012】請求項2の発明の方法は、前記各フィールドを輝度の重みの異なる複数のサブフィールドに分割し、サブフィールド単位で表示素子の発光の有無を選択して階調再現を行う場合に、前記各フィールドのサステインと並行して後続のフィールドにおける先頭のサブフィールドのアドレッシングを行うものである。

【0013】

【発明の実施の形態】図1は本発明に係るPDP1の電極配列の模式図、図2はPDP1の内部構造を示す分解斜視図である。

【0014】PDP1は3電極構造の面放電型PDPである。図1のように、マトリクス表示のライン $L_1 \sim L_n$ 毎に一对のサステイン電極 X, Y が配置され、列毎にアドレス電極 A が配置されている。すなわち、単位発光領域 EU に計3本の電極が対応する。サステイン電極対12の一方のサステイン電極 Y は、アドレッシングに際してライン選択のためのスキャン電極として用いられる。アドレス電極 A は列選択のためのデータ電極である。PDP1ではライン $L_1 \sim L_n$ 毎にサステイン電極対12が設けられているので、後述のように奇数番目のライン $L_1, L_3 \dots L_{(n-1)}$ からなるライン群 LA と、偶数番目のライン $L_2, L_4 \dots L_n$ からなるライン群 LB とを交互に用いるインタレース形式の画面表示が可能である。なお、サステイン電極 X は、駆動回路を簡単にするためライン群毎に共通接続される。

【0015】図2のように、サステイン電極 X, Y は、それぞれが透明導電膜41と金属膜（バス導体）42とからなり、前面側のガラス基板11の内面に配列されている。これらサステイン電極 X, Y を被覆するように低

融点ガラスからなる誘電体層17が設けられ、その表面に MgO 膜18が被着されている。アドレス電極 A は背面側のガラス基板21の内面に配列されている。各アドレス電極 A の間に平面視直線状の隔壁29が1つずつ設けられ、これらの隔壁29によって放電空間30がライン方向にサブピクセル（単位発光領域） EU 毎に区画されている。そして、アドレス電極 A の上部及び隔壁29の側面を含めて背面側の壁面を被覆するように、カラー表示のための R, G, B の3色の蛍光体層28が設けられている。蛍光体層28は、面放電で生じた紫外線によって局部的に励起されて所定色の可視光を放つ。各ピクセル EG はライン方向に並ぶ R, G, B の3つのサブピクセル EU からなる。1つのサブピクセル EU に対応する構造体がセルである。

【0016】以下、PDP1の駆動方法を説明する。テレビジョンにおいては、フレームが奇数フィールドと偶数フィールドとからなる。本実施形態では、テレビジョン表示に際して、これらのフィールドに互いに異なるライン群 LA, LB を割り当てる。すなわち、奇数フィールドの表示にはライン群 LA を用い、偶数フィールドの表示にはライン群 LB を用いる。この表示形態は、各フィールドにおいて2ラインずつ同じデータを表示する形態と比べて、輝度の点では不利であるものの、解像度の点では有利である。

【0017】図3はフィールド構成図である。階調表示を行うために奇数フィールド f_1 を例えば8個のサブフィールド $sf_1, sf_2, sf_3, sf_4, sf_5, sf_6, sf_7, sf_8$ に分割する。同様に偶数フィールド f_2 も8個のサブフィールド $sf_1 \sim 8$ に分割する。各サブフィールド $sf_1 \sim 8$ は、1つの輝度レベルの画像であり、それぞれの表示期間はアドレス期間 TA とそれに続くサステイン期間 TS とで構成される。なお、図示の例では、アドレス期間 TA はリセット期間 TAr とスキャン期間 TAs とからなる。

【0018】各サブフィールド $sf_1 \sim 8$ における輝度の相対比率が $1:2:4:8:16:32:64:128$ となるようにバイナリーの重み付けをして、各サブフィールド $sf_1 \sim 8$ のサステイン期間 TS の輝度を設定する。実際にはサステインパルスの印加数を設定する。印加周期は一定であるので、輝度の重みが大きいほどサステイン期間 TS が長くなる。アドレス期間 TA の長さは、総ライン数 n によって決まり、輝度の重みに係らず一定である。総ライン数 n が偶数とすると、1回のアドレッシングの対象となるライン数は $n/2$ であり、アドレス期間 TA の長さはスキャン周期 τ （ $1\mu m$ 程度）の $n/2$ 倍となる。このようなサブフィールド $sf_1 \sim 8$ の点灯/非点灯の組合せにより、 R, G, B の各色毎に256階調を実現することができる。

【0019】図4は駆動シーケンスの一例を示す印加電圧波形図である。リセット期間 TAr は、それ以前の点

灯状態の影響を防ぐため、アドレッシング対象である一方のライン群（ここでは奇数番目）の壁電荷の消去を行う期間である。書込みパルスPwの立上がりに呼応して強い面放電が生じ、誘電体層17に比較的に大量の壁電荷が蓄積する。書込みパルスPwの立下がりに呼応して壁電荷による自己放電が生じ、誘電体層17の壁電荷が消失する。パルスPawは背面側の内壁面の帯電を抑えるために印加される。

【0020】スキャン期間TAsは、ライン順次のアドレッシングを行う期間である。対象ライン群について、サステイン電極Xを接地電位に対して正電位Vaxにバイアスし、サステイン電極Yを負電位Vscにバイアスする。この状態で、先頭のラインから1ラインずつ順に各ラインを選択し、サステイン電極Yに負極性のスキャンパルスPyを印加する。ラインの選択と同時に、点灯すべきセルに対応したアドレス電極Aに対して波高値Vaの正極性のアドレスパルスPaを印加する。選択されたラインにおいて、アドレスパルスPaの印加されたセルでは、サステイン電極Yとアドレス電極Aとの間の対向放電が起こり、壁電荷が生じる。サステイン電極XがアドレスパルスPaと同極性の電位にバイアスされているので、そのバイアスでアドレスパルスPaが打ち消され、サステイン電極Xとアドレス電極Aとの間では放電は起きない。

【0021】サステイン期間TSは、階調レベルに応じた輝度を確保するために、アドレッシングによって設定された点灯状態を維持する期間である。最初にサステイン電極Yに波高値Vsの正極性のサステインパルスPsを印加する。その後、サステイン電極Xとサステイン電極Yとに対して、交互にサステインパルスPsを印加する。サステインパルスPsの印加毎に、アドレス期間TAの終了時点で適切な壁電荷の存在したセルで面放電が生じる。

【0022】図5はフィールドの表示タイミングを示す図である。上述のように奇数フィールドf1と偶数フィールドf2からなる時系列のフレームFの表示に際して、図5(A)のように各フィールドf1、f2の表示期間に後続のフィールドの表示期間の一部を重複させる。すなわち、i番目のフレームFの奇数フィールドf1の表示期間にi番目のフレームFの偶数フィールドf2の表示期間を重複させ、その偶数フィールドf2の表示期間に(i+1)番目のフレームFの奇数フィールドf2の表示期間を重複させる。

【0023】詳しくは、バッファメモリを用いることにより、図5(B)のように、先行のフィールドにおける最終のサブフィールドsf8のサステイン期間TSと、後続のフィールドにおける先頭のサブフィールドsf1のアドレッシング期間TAとを重複させる。アドレッシング期間TAは、表示内容を設定する期間であって、実際に画像を表示する期間ではない。したがって、サブフ

ィールドsf1のアドレッシングを先行のサブフィールドsf8のサステインと並行して行っても表示に支障はない。

【0024】奇数フィールドf1及び偶数フィールドf2のそれぞれにおいて、実際に画像を表示する期間は先頭のサブフィールドsf1のサステインの開始から最終のサブフィールドsf8のサステインの終了までの期間である。テレビジョンの場合、この実際の表示期間が約16.6msであればよいので、上述のように表示期間を重複させることにより、奇数フィールドf1及び偶数フィールドf2のそれぞれに割当て可能な表示期間の長さが(16.6+α)msとなる。ここで、αは1回のアドレッシングの所要時間（つまりアドレス期間TAの長さ）である。実質的に1フィールドの表示期間が延びるので、サブフィールド数を増やして階調性を高めることができ、また、スキャンパルスPyのパルス幅の延長して駆動の安定化を図ることができる。

【0025】なお、重複していない期間において、表示に用いていない一方のライン群(LB又はLA)については、サステイン電極X、Yを接地電位に保持しておく。これには次の利点がある。①表示に用いているライン群と同様にサステインパルスPsを印加する場合と違って、充電電流が流れないので消費電力が小さくなるとともに、コントラストの低下を招く不要の放電が防止される。②サステイン電極X、Yが同電位になるので、電極のエレクトロマイグレーションが低減される。

【0026】上述の実施形態において、必ずしもサブフィールドsf1～8の順序を重みの大きさの順（昇順又は降順）にする必要はない。例えば、重みの大きいサブフィールドsf8をフィールドの中間に配置する最適化手法を適用することができる。ただし、図5のように先頭のサブフィールドsf1のサステインをアドレッシングに引き続いて行う場合には、各フィールドf1、f2の最終のサブフィールドのサステイン期間TSが、アドレス期間TAより長くなるようにする。先行フィールドと後続フィールドとの重複時間をアドレス期間TAの長さ（最大値）とするのが望ましいが、アドレス期間TAの長さより短くしてもよい。

【0027】

【発明の効果】請求項1又は請求項2の発明によれば、インタレース形式で走査された画像を再生する場合における表示の高精細化と安定化を図ることができる。

【図面の簡単な説明】

【図1】本発明に係るPDPの電極配列の模式図である。

【図2】PDPの内部構造を示す分解斜視図である。

【図3】フィールド構成図である。

【図4】駆動シーケンスの一例を示す印加電圧波形図である。

【図5】フィールドの表示タイミングを示す図である。

【符号の説明】

1 PDP

F フレーム

f1, f2 フィールド

L1~Ln ライン

LA, LB ライン群

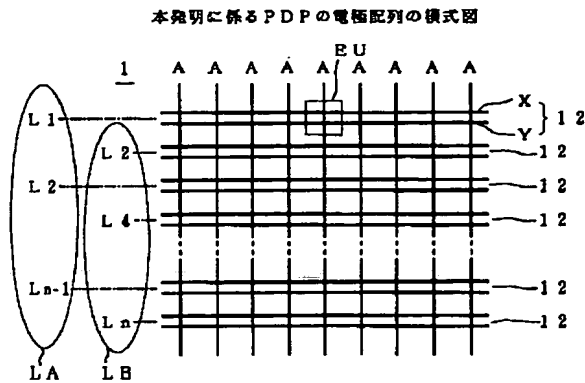
sf1~8 サブフィールド

TA アドレス期間

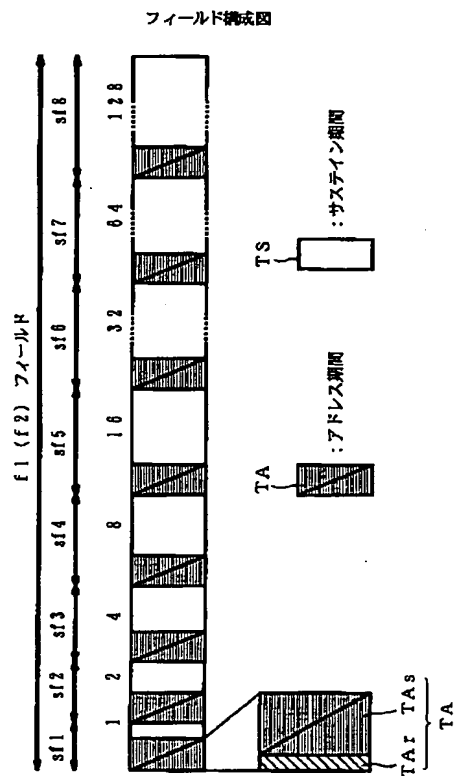
TS サステイン期間

X, Y サステイン電極

【図1】

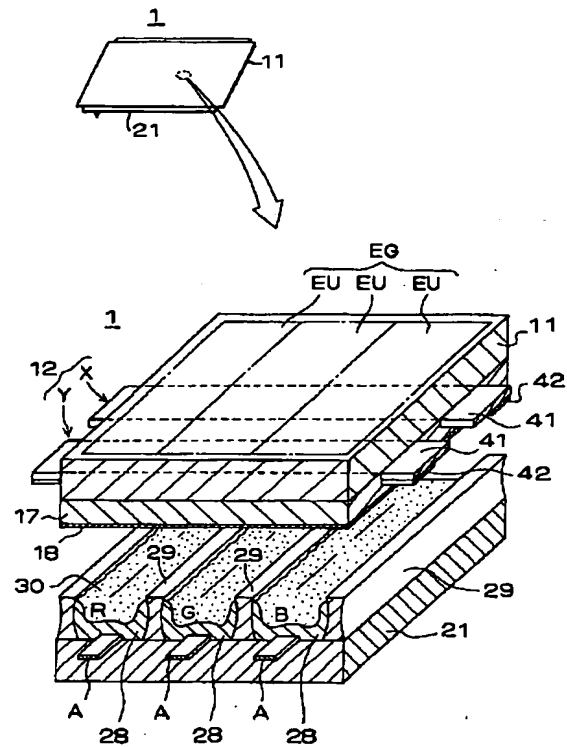


【図3】



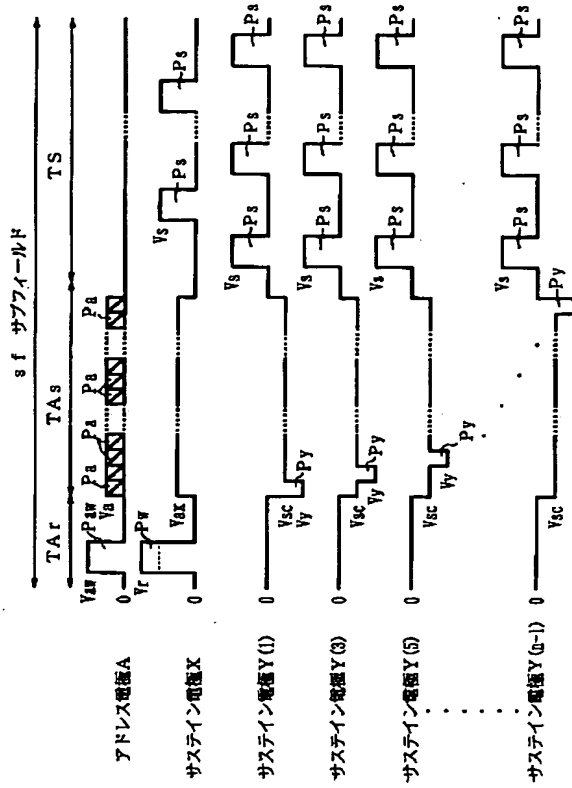
【図2】

PDPの内部構造を示す分解斜視図



【図4】

駆動シーケンスの一例を示す電圧波形図



【図5】

フィールドの表示タイミングを示す図

